

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表平11-509652

(43) 公表日 平成11年(1999) 8月24日

(51) Int.Cl.⁸

G 0 9 G 3/36

G 0 2 F 1/133

識別記号

5 0 5

F I

G 0 9 G 3/36

G 0 2 F 1/133

5 0 5

審査請求 未請求 予備審査請求 未請求(全 34 頁)

(21) 出願番号 特願平9-541910
 (86) (22) 出願日 平成9年(1997) 5月7日
 (85) 翻訳文提出日 平成10年(1998) 1月16日
 (86) 国際出願番号 PCT/IB97/00511
 (87) 国際公開番号 WO97/44774
 (87) 国際公開日 平成9年(1997) 11月27日
 (31) 優先権主張番号 9610381. 7
 (32) 優先日 1996年5月17日
 (33) 優先権主張国 イギリス (GB)
 (31) 優先権主張番号 9705703. 8
 (32) 優先日 1997年3月19日
 (33) 優先権主張国 イギリス (GB)

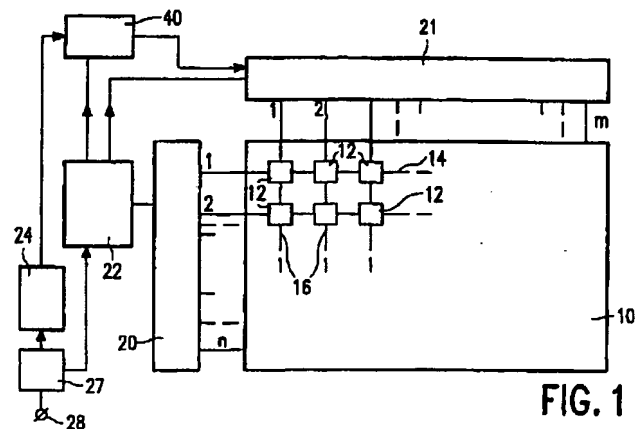
(71) 出願人 フィリップス エレクトロニクス ネムロー
 ゼ フェンノートシャップ
 オランダ国 5621 ペーアー アイन्दー
 フェン フルーネヴァウツウェッハ 1
 (72) 発明者 フランシス アンドリュウ ミハエル
 オランダ国 5656 アーアー アイन्दー
 フェン プロフ ホルストラーン 6
 (74) 代理人 弁理士 杉村 暁秀 (外5名)

最終頁に続く

(54) 【発明の名称】 能動マトリックス液晶表示装置

(57) 【要約】

関連の切換手段(25)を有するとともに行アドレスライン及び列アドレスライン(14, 16)のセットを通じて行方向に順次アドレス指定されるLC画像素子(12)のアレイを有する能動マトリックス表示装置は、その駆動回路中にデータ信号調整回路(40)を有し、このデータ信号調整回路は、列ライン(16)に供給する前にデータ信号を調整して、画像素子アレイの漂遊容量性結合が原因のクロストークの垂直及び水平形態の予期される影響を補償する。画像素子データ信号に対する訂正值は、同一行及び一つ又は両方の隣接列の他の画像素子に対する次のフィールド周期全体に亘る意図したデータ信号の値及び関連の容量性結合係数に従って調整回路(40)で取り出される。表示装置を、TFT, TFDを用いるタイプの表示装置又はプラズマアドレス指定表示装置とすることができる。



【特許請求の範囲】

1. 切換手段を結合した液晶表示素子の行を具える画像素子の行列アレイと、前記画像素子の行列にそれぞれ結合した行アドレスライン及び列アドレスラインのセットと、データ信号を前記列アドレスラインに供給するとともに前記行アドレスラインを走査して、前記画像素子の各行を順次選択し、関連の列アドレスラインに供給されるデータ信号に従って選択した行の表示素子を駆動する駆動回路とを有する能動マトリックス表示装置において、前記駆動回路は、クロストーク補償値に従って前記列アドレスラインに供給される前に入力データ信号を調整するとともに前記表示素子に対する漂遊容量性結合が原因のクロストークの影響を補償するために前記表示素子を駆動するのに用いるために調整したデータ信号を前記列アドレスに供給するデータ信号調整回路を有し、この調整回路を、当該画像素子が存在する画像素子の列に関連する前記列アドレスライン及び画像素子の隣接する列に関連する列アドレスラインのうちの少なくとも一つに対して画像素子を選択するまでの周期中に供給するように意図したデータ信号から画像素子に対するクロストーク補償値を取り出すために配置したことを特徴とする能動マトリックス表示装置。

2. 前記データ信号調整回路は、関連の列アドレスライン及び隣接する列アドレスラインの少なくとも一つに結合した他の画像素子の少なくとも一部に対する前記入力データ信号の値及び前記画像素子に対する容量性結合係数に従って画像素子に対する入力データ信号の補償値を決定し、前記容量性結合係数の値は、少なくとも前記表示素子とこれら行アドレスラインとの間の漂遊キャパシタンスに依存するようにしたことを特徴とする請求の範囲1記載の能動マトリックス表示装置。

3. 前記データ信号調整回路を、同一列のほぼ他の全ての画像素子に対するデータ信号及び隣接する列の少なくとも一つのほぼ全ての画像素子に対するデータ信号から画像素子データ信号に対するクロストーク補償値を取り出すように配置したことを特徴とする請求の範囲1又は2記載の能動マトリックス表示装置。

4. 前記データ信号調整回路は、入力信号がフィールド周期中に保持される記憶

装置を有し、この記憶装置からデータ信号が読み出されるとともに、そのデータ信号は、当該フィールド周期中に前記記憶装置に保持された前記列の画像素子に対する入力信号の値から決定されたクロストーク補償値に従って調整されるようにしたことを特徴とする請求の範囲1から3のうちのいずれかに記載の能動マトリックス表示装置。

5. 前記データ信号調整回路は、直前のフィールド周期中にデータ信号入力値から取り出されたクロストーク補償値に従って入力データ信号を調整するようにしたことを特徴とする請求の範囲1から3のうちのいずれかに記載の能動マトリックス表示装置。

6. 前記データ信号調整回路を、前記列に対する入力データ信号によって決定された値が連続的なフィールド周期中に予め設定された量相違する場合には、画像素子の列に対して入力データ信号の調整を中止し、前記列に対する入力データ信号を、調整することなく当該列の画像素子に供給するように配置したことを特徴とする請求の範囲5記載の能動マトリックス表示装置。

7. 前記切換手段は薄膜トランジスタを具え、前記クロストーク補償値を、関連の画像素子と同一列の画像素子に対するデータ信号及び関連の列アドレスラインが当該画像素子に沿って延在する隣接する列の画像素子に対するデータ信号に従って取り出すようにしたことを特徴とする請求の範囲1から6のうちのいずれかに記載の能動マトリックス表示装置。

8. 前記表示装置を、前記切換手段がプラズマチャネルを具えるプラズマアドレス指定表示装置とし、画像素子に対する前記クロストーク補償値を、関連の画像素子と同一の列の画像素子に対するデータ信号及び当該列の一方の側の隣接する列の画像素子に対するデータ信号に従って取り出すようにしたことを特徴とする請求の範囲1から7のうちのいずれかに記載の能動マトリックス表示装置。

【発明の詳細な説明】**能動マトリックス液晶表示装置**

本発明は、切換手段を結合した液晶表示素子の行を具える画像素子の行列アレイと、前記画像素子の行列にそれぞれ結合した行アドレスライン及び列アドレスラインのセットと、データ信号を前記列アドレスラインに供給するとともに前記行アドレスラインを走査して、前記画像素子の各行を順次選択し、関連の列アドレスラインに供給されるデータ信号に従って選択した行の表示素子を駆動する駆動回路とを有する能動マトリックス表示装置に関するものである。

上記種類の表示装置は十分既知である。通常、このような表示装置に用いられる切換手段は、TFT（薄膜トランジスタ）を具える。TFTタイプの表示装置の一例は、米国特許出願明細書第4845482号に記載されている。このような表示装置において、行アドレスライン及び列アドレスラインのセットを、表示素子電極及びアドレスラインのセット間の各交差部に隣接するTFTとともに二つの離間した基板のうちの一方に支持し、それに対して他方の基板は共通電極を支持する。各TFTを、その関連の表示素子電極並びに各行アドレスライン及び列アドレスラインに接続する。行アドレスライン及び列アドレスラインに接続した駆動回路は、選択信号を各行ラインに順に供給するとともに、データ信号を列ラインに供給し、これによって、選択した行の表示素子を、各切換装置を通じて、関連の列ラインのデータ信号の値に依存するレベルまで充電して、要求される表示出力の発生させる。画像素子の行は、1フィールド周期全体に亘って表示画像が確立されるように各行アドレス周期中に順次個別に駆動され、この際、画像素子は、連続的なフィールド周期中同様にして繰り返しアドレス指定される。このような表示装置は、データグラフ表示又はビデオ画像に好適であり、この際、データ信号は、入力ビデオ、例えば、TV信号をサンプリングすることによって取り出される。

これら表示装置の問題は、列アドレスラインと当該列ラインに関連する表示素子の表示素子電極との間の各画像素子回路の寄生すなわち漂遊容量性の影響によって生じるとともにソース端子及びドレイン端子を列ライン及び表示素子電極に

それぞれ接続したTFTの自己キャパシタンスの結果としての垂直クロストークである。このようなキャパシタンスの結果、選択の際に列ライン上に存在するとともに列ラインに関連した画像素子を駆動する際に用いるためのデータ電圧信号を、垂直クロストークが生じるとともに絶縁したと仮定した表示素子の出力に悪影響を及ぼす列の選択されていない画像素子に結合する。この垂直クロストークを、同一行の他の表示素子に対するデータ信号に応答して所定の表示素子のRMS電圧に依存するものと考えることができる。このようなクロストークの問題は米国特許出願明細書第4845482号に記載されており、これには、標準的な行アドレス周期より短い時間中ゲーティング信号を行ラインに供給し、周期の残りの時間中に補償信号を列ラインに供給することによって影響を減少させる方法が記載されており、補償信号は全データ信号の一部となり、その結果、当該データ信号の結果として列ラインに接続した他の画像素子に生じた任意のクロストークを減少させる。しかしながら、行アドレス周期が短縮されるので、表示素子を通常より短い時間で充電する必要がある、これは、より高いゲーティング電圧を用いる必要がある、したがって、TFTに対するエージングの増大及び比較的高い電圧の行駆動回路の必要を含む多数の不都合を有する。これによってゲーティング信号が低下するので、行ラインの抵抗も更に著しくなる。

垂直クロストークの影響の程度は、表示装置を駆動する方法に依存する。フィールド反転を用いる場合、この影響は相当なものとなるおそれがある。フリッカーを除去するためにライン反転駆動形態を用いることによって、この影響をある程度軽減することができ、この際、列ラインに供給されるデータ信号は行ごとに反転され、その結果、結合された列電圧は、交互に正の値及び負の値を交互に有するようになり、これによって、全体に亘って結合されたRMS電圧は零に近づくとともに垂直クロストークの量を減少させる。しかしながら、デルタカラーフィルタパターンを用いるカラー表示装置で単一ライン反転を用いる際に問題が生じ、この場合、各列ラインは、二つの色のみを有する画像素子に接続される。この場合、赤のような原色の大領域に対するデータ信号は、フィールド反転を有する平坦な黒又は白領域に対するものと同一であり、多量のクロストークが発生す

るおそれがある。また、コンピュータデータグラフ表示において、あるビデオパターン¹の性質は反転手順を相殺するおそれがあり、これによって垂直クロストークは一層顕著になる。

国際特許出願公開明細書第96/16393号には、上記種類の能動マトリックス表示装置が記載されており、この場合、駆動回路は、表示素子とこれに関連する列アドレスラインとの間の容量性結合が原因の表示パネルの垂直クロストークの影響を補償するデータ信号調整回路を有し、この調整回路は、データ信号が供給される入力部を有し、画像素子が次にアドレス指定されるまで周期中に当該画像素子と同一の列アドレスラインに接続した他の画像素子に対するデータ信号から取り出されるクロストーク補償値に従う画像素子に対する入力データ信号を調整し、この際、調整されたデータ信号を、画像素子を駆動するに当たり列アドレスラインに供給する。したがって、単に列アドレスラインのデータ信号が原因の垂直クロストークの量を減少させることを試みるよりは、列結合現象を通じた垂直クロストークの影響を、画像素子に対するデータ信号が原因の予測される列結合を許容することができるようにデータ信号がこれら画像素子に供給される前に画像素子の列に対するデータ信号を変更し、その結果、これらデータ信号を適切な画像素子に供給した後、個々の画像素子の垂直クロストークの影響によって、ほぼ意図された正確な電圧を有する表示素子となり、その結果、このような調整前にデータ信号の値によって決定されるような意図した出力に近くなる出力を発生させる表示素子となる。調整回路は、実際、このようなクロストークが原因のRMS表示素子電圧の誤差を予測し、予測した誤差とほぼ同一の大きさと符号が逆のデータ信号を発生させることによって調整を行う。この技術を用いると、画像素子アドレス周期は減少されず、したがって、アドレス周期の減少を必要とする上記アプローチによって生じる問題は回避される。それは、他の重大な利点も提供する。従来、垂直クロストークの結果は、画像素子サイズに制限を課していた。例えば、高密度アレイを提供するために画像素子サイズを減少させると、列結合係数が増大し、垂直クロストークは悪化する。既知の方法はクロストークを十分減少させることができないという制限がある。しかしながら、この技術を用いると、このような画像素子サイズの制限を克服することができる。

本発明の目的は、クロストークが原因の不所望な表示の影響を減少させることができる更に向上した能動マトリックス表示装置を提供することである。

本発明によれば、冒頭で説明した種類の能動マトリックス表示装置は、前記駆動回路は、クロストーク補償値に従って前記列アドレスラインに供給される前に入力データ信号を調整するとともに前記表示素子に対する漂遊容量性結合が原因のクロストークの影響を補償するために前記表示素子を駆動するのに用いるために調整したデータ信号を前記列アドレスに供給するデータ信号調整回路を有し、この調整回路を、当該画像素子が存在する画像素子の列に関連する前記列アドレスライン及び画像素子の隣接する列に関連する列アドレスラインのうちの少なくとも一つに対して画像素子を選択するまでの周期中に供給するように意図したデータ信号から画像素子に対するクロストーク補償値を取り出すために配置したことを特徴とするものである。

この表示装置を用いると、予測される垂直クロストークの影響が考慮されるだけでなく、表示素子と画像素子の隣接する列を駆動するために用いられる列ラインの一方又は両方との間の不所望な結合が原因のクロストークの水平形態も考慮される。TFTを用いるような能動マトリックス表示装置において、行アドレスライン及び列アドレスラインのセットを、表示素子電極の隣接する行間のギャップ及び隣接する列間のギャップに延在するように、TFT及び表示素子電極とともに一つのプレート上に配置する。その結果、所定の列の画像素子に対して、表示素子電極及び列アドレスラインの物理的なレイアウトによって、表示素子電極と画像素子に関連する列アドレスラインの次の列アドレスラインとの間に容量性結合が生じる。この隣接する列アドレスラインに対するデータ信号及び関連の列アドレスラインのデータ信号を考慮することによって、関連の列アドレスラインのデータ信号の影響に加えて、これらデータ信号の予測される影響は、調整回路で計算されるとともに両列アドレスラインからの予測される影響を無効にするために所定の画像素子に対するデータ信号を調整するために用いられる補償値で併合される。その結果、クロストークの影響は更に減少される。

所定の種類の表示用途に対して、上記列アドレス導体に関連する全てでない一部の画像素子に対するデータ信号の値によってデータ信号を補償することによっ

て十分な向上を得ることかできるが、好適には、データ信号の変更を、最適な結果を得るためにこれらアドレスラインに関連する他のほぼ全ての画像素子に対するデータ信号を考慮する。本発明の結果としてのクロストークの減少は、考慮される列導体に供給すべき複数のデータ信号の電圧とともにほぼ線形的に変動するために理解することができる。

大抵の表示状況で有効に補償を行うために、入力データ信号に行う調整を、好適には、同一列の他の画像素子及び当該入力データ信号による特定の画像素子のアドレス指定に続くフィールド周期中に隣接する列の少なくとも一つの対応する画像素子に対する入力データ信号の値によって行う。したがって、好適な実施の形態において、入力データ信号を、1フィールド周期中に調整回路の記憶装置に保持し、その後、同一列及び当該フィールド周期中に記憶装置に保持された隣接する一つ以上の列の画像素子に対する入力データ信号の値から決定された補償値によって調整する。関連の入力データ信号による画像素子のアドレス指定の前のこれら他の画像素子に対する、供給されるビデオ信号によって決定されるような実際のデータ信号を知る必要があるので、記憶装置が必要とされる。この際、補償値を導き出す際に用いられる意図されたデータ信号は、使用すべき供給されたビデオ信号による実際のデータ信号となる。実際には、フィールド記憶装置を用いてデータ信号を保持する。

所定の状況、特に、静止画像すなわち静止部を含む画像を原則的に表示するために表示装置を大幅に用いる場合、より簡単なアプローチが可能である。したがって、他の実施の形態において、データ信号調整回路は、直前のフィールド周期中にデータ信号入力の値から導き出されるクロストーク補償値によって入力データ信号を調整する。したがって、補償値を誘導する際に用いられる意図したデータ信号は、同一及び隣接する列の他の画像素子に対する実際の入力データ信号でなく、仮定されたデータ信号であり、例えばフィールド反転の場合に符号の変化が用いられることを除いて次のフィールド周期のデータ信号が静止画像に対して同一であるということに基づいて予測される。換言すれば、実際の、将来のデータ信号電圧を、単に現在のデータ信号電圧の逆であると仮定することができる。現在のデータ信号電圧を用いて、将来のデータ信号電圧を予測することができる。

。この場合、フィールド記憶装置を設ける必要がなくなる。当然、データ信号予測は、相違する表示画像を提供するために入力データ信号を変化させる場合には不正確である。しかしながら、データ信号調整前の二つの表示画像感のこのような変化の影響を、気付くことのできないような二つのフィールドに制限することができる。しかしながら、好適には、連続的な動作を表示すべき状況に適応するために、データ信号調整回路を配置して、連続的なフィールド中の列に対する入力データ信号に依存する値を比較するとともに、連続的なフィールド中の値が予め決定された量相違する場合に列に対する入力データ信号の調整を中止する。したがって、入力データ信号を用いて、クロストーク補償に対して調整することなく関連の列の画像素子をアドレス指定することができる。この際にクロストークの影響が存在しても、不正確な、予測されるデータ信号に基づく調整が連続的である場合に生じる影響に比べて目に見えにくい。

好適には、データ信号を、同一又は一つ以上の隣接する列アドレスラインに接続した他の画像素子に対するデータ信号によって決定された補償係数、意図した表示素子電圧、及び画像素子回路に対する容量性結合係数によってほぼ調整する。結合係数は、例えば、表示素子キャパシタンス及び表示素子とアドレスラインとの間の漂遊キャパシタンスに依存する。連続的なフィールドがフィールドブランキング間隔によって分離される供給されたビデオ、例えば、TV信号から導き出されたデータ信号の場合、ブランキング間隔はフィールド周期の顕著な部分となるおそれがあるので、調整されたデータ信号の誘導を考慮する。

TFTタイプの表示装置の場合、補償値を、好適には、関連の画像素子と同一列の画像素子に対するデータ信号及び関連のアドレスラインが当該画像素子に沿って延在する隣接する列の画像素子に対するデータ信号によって導き出す。

切換手段としてTFTを用いる表示装置に加えて、本発明を、表示素子の行に対する有効な切換手段としてプラズマチャネルを用いるプラズマアドレス指定表示装置(PALC表示装置)にも同様に適用することができる。この場合、画像素子に対するクロストーク補償値を、好適には、関連の画像素子と同一列の画像

素子に対するデータ信号及び隣接する二つの列、すなわち、当該列の両側の画像素子に対するデータ信号によって誘導することができる。本発明を、切換手段が

薄膜ダイオードのような2端子の非線形切換装置を具える能動マトリックス表示装置に適用することもできる。他のタイプの表示装置において、例えば、2端子切換装置を用いる表示装置に関連する上記国際特許出願公開明細書第96/16393号に記載された、列ラインに関連した表示素子に対する列ライン上に存在するデータ信号の結合が原因でクロストークが発生するおそれがある。しかしながら、それに加えて、表示タイプの形態に依存する中間キャパシタンスを通じて直接的に又は間接的に表示素子と隣接する列ラインとの間の漂遊容量性結合の結果表示素子に関連する隣接する列ラインのデータ信号が原因で、水平タイプのクロストークが生じるおそれがある。したがって、本発明を、これら結合が原因の不所望なクロストークの大きさを有効に減少させるのに用いることができる。

本発明による能動マトリックス表示装置の実施の形態を、添付図面を参照して例示して説明する。図面中、

図1は、本発明による能動マトリックス表示装置の単純化した線形ブロック図である。

図2は、表示装置の第1の実施の形態の代表的な画像素子の回路を示す。

図3は、表示装置の第1の実施の形態の画像素子アレイの一部の物理的なレイアウトを線形的に示す。

図4は、第1の実施の形態の代表的な素子の等価回路である。

図5及び6は、表示装置の第1の実施の形態の駆動回路に用いられる訂正回路の他の形態の一部の回路形態を線図的に示す。

図7は、訂正回路の動作を線形的に示す。

図8は、表示装置の第2の実施の形態の表示パネルの一部を線形的な断面図である。

図9は、表示装置の第2の実施の形態の画像素子の代表的なグループの等価回路を示す。

図10及び11は、表示装置の第2の実施の形態の駆動回路で用いられる訂正

回路の他の形態の一部の回路形態を線図的に示す。

図面中、同一又は同様な部材に同一参照符号を付すものと理解されたい。

図1を参照すると、ビデオ表示用、例えば、TV、画像又はグラフ情報表示用

の能動マトリックス表示装置は、液晶表示パネル10を具え、この液晶表示パネル10は、 n 行 m 列の行列アレイを画像素子12を有し、その各々を、導体14及び16を具える行アドレスライン及び列アドレスラインのセット間の各交差部に隣接して配置し、これら導体14及び16に対して、駆動信号を行駆動回路20及び列駆動回路21から供給する。パネル10を、既知の種類のものとし、画像素子に対する切換装置としてTFTを用いるタイプとする。図2は、パネルの代表的な画像素子の回路形態を示す。TFT25のゲートを行アドレス導体14に接続し、そのソース端子及びドレイン端子を、アドレス導体16及び表示素子30の電極にそれぞれ接続する。パネルの導体14及び16のセット、TFT並びに表示素子電極の全てを、パネルの、例えば、ガラス製の第1透明基板上に支持し、この基板を第2透明基板から離間し、これら基板間に液晶材料、例えば、捩じれネマチックLC材料を配置する。第2基板上に支持された連続的な透明電極の各部分は、表示素子の第2電極を構成し、これによって、各表示素子30は、LC材料を挟んだ離間電極の対から成る。同一行の全ての画像素子を、行アドレス導体14のセットの一つにそれぞれ接続し、同一列の全ての画像素子を、列アドレス導体16のセットの一つにそれぞれ接続する。これら基板は、通常の方法で外側表面及び内側表面上に、偏光層、LC配向層及び保護層をそれぞれ支持する。

表示装置の行駆動回路20及び列駆動回路21も、それぞれ通常の種類のものとする。行駆動回路20、例えば、デジタルシフトレジスタ回路は、列導体14を周期的に走査し、選択信号を各行アドレス周期中に各行導体に順次供給する。この動作は、同期分離回路27からの同期信号が供給されるタイミング及び制御回路22からのタイミング信号によって制御され、タイミング信号は、入力部28に供給される入力ビデオ、例えば、TV信号から得られる。列駆動回路21は、一つ以上のシフトレジスタ/サンプルーホールド回路を具え、そのシフトレジ

スタ／サンプルーホールド回路に対して、供給されたビデオ信号から得られるデータ（ビデオ情報）信号が、ビデオ信号処理回路24から供給される。回路21は、タイミング及び制御回路22の制御下でこれら信号をサンプルするように作動し、このタイミング及び制御回路22は、列走査に対して同期をとって、パネ

ルのアドレス指定時に行に対して適切な並列変換を順次行う。各行ライン導体14を、選択信号を用いて走査するので、画像素子の関連の列のTF T25をターンオンして、その行の表示素子30を、関連の列ライン導体16の各々に存在するデータ信号のレベルに従って、所望の表示素子電圧まで充電する。表示素子電圧はデータ信号電圧に比例する。選択信号が終了すると、画像素子のTF Tはターンオフし、これによって、表示素子は、これらが次のフィールド周期でアドレス指定されるまで表示素子を列導体から絶縁する。パネルの表示素子の各行をこのようにアドレス指定して、表示画像をフィールド周期中に確立し、その動作を、連続的なフィールド周期中に繰り返して、一連の表示画像フィールドを発生させる。例えば、TV表示の場合、表示素子の各行に、TVライン周期又はそれ以下に対応する選択信号の持続時間を有するTVラインの画像情報、データを設けて、半解像度のPAL規格に対して、TV表示は $64\mu s$ のライン周期を有し、各行アドレス導体に、 $20ms$ の間隔で選択信号を供給する。

LC材料の電気機械的な低下を回避するために、駆動信号の極性を、例えば、各フィールドの後に周期的に反転させる（フィールド反転）。極反転を、通常ライン（行）反転及び二重ライン（行）反転と称する1行ごと又は2行ごとに実行して、フリッカの影響を低減させることもできる。

以上説明したように、動作中、各列アドレス導体16が、一連のデータ信号電圧レベルからなる電圧波形を搬送し、データ信号電圧レベルの各々が、列導体に接続した画像素子の列の画像素子の各々に対するものであることは明らかである。理想的には、列の各表示素子は、その関連の列導体を選択したときにアクセスされ、表示サイクルの残りに対しては電氣的に絶縁された状態である。しかしながら、列導体電圧波形を隣接する表示素子に結合する漂遊容量が存在し、この結合によってクロストークが生じる。この結合は、表示素子電圧、したがって選択

されていない表示素子の伝播に悪影響を及ぼす。表示解像度を増大させることによって、漂遊結合容量がより顕著になるので、悪影響がより顕著になる。TFTタイプの表示装置において、不所望な結合の主要な原因は、列アドレス導体と表示素子電極との間の漂遊容量である。図3は、表示装置の能動基板上の素子に対する代表的な物理的なレイアウトを線形的に示す。表示素子電極35をTFT25

のドレインに接続し、TFT25のソースを、列アドレス導体16、この場合導体dに接続し、この導体を通じてデータ信号が電極に供給される。この列導体は、電極35の一方の側に沿って近接するように続き、画像素子の隣接する列に対する列導体であるd+1列導体は、その反対の側に近接するように延在する。行アドレス導体g及びg+1は、電極の各々の上端及び下端に沿って延在する。記憶キャパシタ36は、表示素子に並列して本例の画像素子回路に有効に含まれる。図4は、この回路形態に存在する種々のキャパシタンスを示す等価回路図である。Pxは、表示素子電極35を表し、C_{LC}、Cs及びC_gは、表示素子キャパシタンス、記憶キャパシタのキャパシタンス及び電極35と行導体との間の全漂遊キャパシタンスをそれぞれ表す。容量性結合は、表示素子電極と表示素子が配置された二つの列導体16との間の寄生キャパシタンスC_{dp}及びC_{dp'}を通じて発生する。所定の結合は、C_{dp}に並列なTFTのソース／ドレインキャパシタンスに起因するが、これは比較的小さい傾向にある。列導体d及びd+1は、図4にV_{col(c,r)}で示した電圧波形として一連のデータ信号を搬送する。この場合、c及びrは、接続した列及び行を表す。

x行目の表示素子を考察すると、次の表示フィールドの表示素子1～x-1に対する列電圧に続く電流フィールドの関連の表示素子x+1～nに対する列導体d及びd+1の電圧をx番目の表示素子に結合する。換言すれば、x行目の表示素子のアドレス指定の後、当該表示素子としての同一列の他のn-1表示素子に対する全てのデータ電圧信号及び当該表示素子を再びアドレス指定する前にフィールド周期に対応する周期中に関連の列導体d及びd+1に現れる隣接する列の他のn-1表示素子に対する全てのデータ電圧信号を、結合する。したがって、

任意の表示素子に対して結合された列電圧は、同時刻の次の $n - 1$ 表示素子に対する列電圧に対応する列波形の一部となる。実際には、表示装置をある手段の反転（フィールド、ライン、2重ライン）で走査しているので、結合された電圧は、列信号の極の変化によって影響を及ぼされる。

クロストークの影響を減少させるために、表示装置は、その駆動回路に、デジタル信号処理回路を具えるデータ信号調整回路40（図1）を有し、そのデータ信号調整回路40は、表示素子から所望の出力を発生させるために、列導体

に供給する前に、供給されるデータ信号を調整するように動作して、このクロストークの予測される影響を補償し、その結果、表示素子が、調整されたデータ信号を用いて駆動される前に、クロストークがない場合に意図される表示出力に接近する表示出力を発生させるように表示素子にクロストークの影響を及ぼすことができる。このために、列導体を通じて画像素子に供給するための入力ビデオ信号からの入力データ信号の値は、画像素子が次にアドレス指定されるまで、（画像素子の最終列は別にして、）列導体を通じて次にアドレス指定された他の画像素子のうちの少なくとも一部に対して又は隣接する列導体によってアドレス指定された隣接する列の画像素子に対して用いようとするビデオ信号からの入力データ信号の値に関連して調整される。これら列導体に接続した他の画像素子に対するデータ信号から得られる、したがってそのデータ信号によって決定されるクロストーク補償値の形態で各データ信号に対して行われる調整は、容量性結合によって生じたクロストークが原因の表示素子電圧に及ぼされる影響をほぼ補償する。

列導体 d 及び $d + 1$ （図3）から表示素子にそれぞれ結合される列データ信号の比は、以下の式によって決定される。

$$F = \frac{C_{pd}}{C_{lc} + C_s + C_g + C_{pd} + C_{pd'}} \quad (1)$$

$$F' = \frac{C_{pd'}}{C_{lc} + C_s + C_g + C_{pd} + C_{pd'}} \quad (2)$$

これら結合係数 F 及び F' は、高解像度表示では、表示素子が小さくなるとともに寄生キャパシタンスが C_{lc} 及び C_s に対して増大するので顕著になる。

1 フィールド周期に亘るRMS表示素子電圧は、ブランキングラインを含む入力信号のビデオラインの数によって除算された各ライン周期に亘る表示素子電圧の2乗の和の平方根にによって与えられる。したがって、以下の式を、列導体からの容量性結合を考慮する列導体dとd+1との間に配置された列c及び行rの表示素子のRMS電圧に対して得ることができる。

$$V_{pix_{c,r}}^{rms} = \sqrt{\frac{1}{N} \left[V_{col_{c,r}}^2 + \sum_{row=r+1}^{r+N-1} (V_{0_{c,r}} + F \cdot V_{col_{c,row}} + F' \cdot V_{col_{c+1,row}})^2 \right]} \quad (3)$$

この場合、

a) $V_{pix_{c,r}}^{rms}$ を、表示素子(c, r)を再び選択する直前のライン周期まで表示

素子(c, r)を選択する際のライン周期から1フィールド周期に亘るRMS表示素子電圧である(包含的)。

b) $V_{0_{c,r}}$ を、アドレス指定後に表示素子電圧(V_{pix})を決定するデータ信号の値とする。

c) $V_{0_{c,r}} = V_{col(c,r)} - F \cdot V_{col(c,r)} - F' \cdot V_{col(c+1,r)}$ 及び

d) Nを、ビデオフィールド中のライン数とし、 $0 \leq r \leq (N-1)$ とする。

その結果、フィールドブランキングの影響が考慮される。ここで用いられる $V_{0_{c,r}}$ は、共通電極電圧からの寄与を含む必要がある。

新たな電圧に対して意図した値からの表示素子電圧のシフトは、表示素子の伝播に悪影響を及ぼす。例えば、フィールド変換中に動作し、表示装置を考慮し、反転信号の極性は全ての行に対して同一であり、30%の伝送背景で中央の黒い四角形を表示するのに用いられる表示装置を考慮する場合、列結合によって生じた垂直クロストークの目に見えるアーティファクトは、背景の残りと異なる伝送レベルを有する中央の黒い四角形の上下の表示領域となる。表示装置がフィールド反転中に動作するので、結合された電圧が黒の方向に領域の表示要素をシフトする際に黒い中央の四角形は、より暗くなって現れるが、四角形の真下の領域は

より明るくなって現れる。その理由は、（次のフィールドから）結合された電圧は逆極性となり、したがって、その領域の表示素子電圧を他の方向にシフトする。

このようなクロストークは、フィールド反転中に動作する表示素子上で特に顕著である。ライン反転は、これまでの問題を減少させることができるが、表示された画像の性質が、反転パターンを相殺する傾向（例えば、黒ラインが白ラインと交互に存在する。）にあるような性質である場合、クロストークは再び顕著に見えるようになる。この種のパターンは通常、コンピュータ上で発生した画像に

見られる。上記記載は簡単なモノクロ表示に関するものである。いわゆるデルタナブラカラー表示素子形態を用いるカラー表示装置は、原色のブロックを含む表示画像中でこれら表示装置の行反転の影響が同様に相殺されるおそれがあるので、クロストークを被害を被る。

式3を次のように展開することができる。

$$V_{pix(r,n)}^{rms} = \left(V_{0(r,n)}^2 + \frac{F^2}{N} \sum V_{col(r,n+1)}^2 + \frac{F'^2}{N} \sum V_{col(r+1,n+1)}^2 + \frac{2 \cdot F \cdot F'}{N} \cdot \sum V_{col(r,n+1)} \cdot V_{col(r+1,n+1)} + \frac{2 \cdot F \cdot V_{0(r,n)}}{N} \cdot \sum V_{col(r,n+1)} + \frac{2 \cdot F' \cdot V_{0(r,n)}}{N} \cdot \sum V_{col(r+1,n+1)} \right)^{0.5} \quad (4)$$

この場合、総和は行 = r + 1 から行 = r + N - 1 となる。

列駆動信号を力学的に変形して、既に説明したように表示素子上のRMS電圧を計算することによってクロストークを無効にし、この場合、良好な近似に対して、各表示素子上の誤差電圧に等しく符号が逆の量によって各表示素子に対するデータ信号を調整することによって、クロストークを除去する。クロストークが原因の誤差電圧は、式(3)と $V_{pix(c,r)}$ との間の差によって与えられる。この訂正電圧 V_{cor} は、

$$V_{cor} = |V_{pix(r,n)}| - V_{pix(r,n)}^{rms} \quad (5)$$

によって与えられる。

クロストークは、式

$$V_{c.o.l} = V_{c.o.l} + V_{c.o.r} \quad (6)$$

に従う表示素子に対するデータ信号を適切に修正することによって表示装置中で補償される。この場合、 $V_{c.o.l}$ を、調整されたデータ信号とし、この調整されたデータ信号を列導体に供給する。この際、列結合が生じた後、このような結合の影響はほとんど補償され、表示素子上の電圧は、要求される電圧に近くなり、その結果、表示素子から得られる表示出力は、意図したものに近づく。例えば、所定の表示素子に対して 5 V_{rms} の電圧が要求される場合、式(3)を適用した後、実電圧は 5.2 V_{rms} となることが分かり、この場合、追加の 0.2

V_{rms} は、代わりに約 4.8 V を最初に表示素子に供給することによって接続した列導体に接続された他の表示素子に対するデータ電圧の列結合が原因の結合電圧であり、列結合の影響を大幅に除去することができ、実際の rms 表示素子電圧は、 5 V の意図した値に非常に近くなる。当然、この補償は正確でなく、この補償は、信号が過度に調整される前に二つの列の他の表示素子に対して最初に意図したデータ信号から得られることを気に留めておくべきである。これらデータ信号が同様に補償される場合、列導体に供給される実データ信号レベルは、当然、調整されたデータ信号の補償に用いられるものと異なる。正確な補償は、静止画像及び周期的な動画に対してのみ容易となる。しかしながら、上記アプローチが非常に有効であり、目に見えるクロストークの影響を除去し又は少なくとも著しく低減することができることがわかる。

他の既知のクロストーク訂正法と異なり、このアプローチは、行オン/行オフパターンのような通常非常に相違するタイプの表示パターンを有する任意の種類 of 静止画像又は動画成分を用いて有効に作用し、駆動信号に余分なタイミング要求を課さない。表示素子上のクロストーク誤差電圧が次のフィールド周期全体に亘るデータ信号に依存するので、信号の記憶及び処理が必要とされる。個別のクロストーク訂正を、式(4)及び(5)を解くことによって各表示素子に対して計算する必要がある。このために、図5に示すようなルックアップテーブル43 (LUT) を用いて訂正を計算する。この際、 V_{DAT} をビデオ処理回路24からデジタル形態で供給される入力ビデオデータとし、 V_{DAT}' を、訂正された

出力ビデオデータとし、42を訂正加算器とする。明らかに、式(4)及び(5)を解くために、表示素子(c, r)に対する表示素子電圧 $V_{p,r}$ を含む変数の数の値、次のフィールド周期全体に亘って列c及びc+1に供給される列電圧の和 $\Sigma V_{c,r}$ 及びこれら列電圧の平方の和 $\Sigma V^2_{c,r}$ を知る必要がある。N, F及びF'に対する適切な固定値をLUT43にプログラムする。

訂正の計算をある程度簡単にすることができる。1次F及びF'項が式(4)を支配する。高次の項は無視することができ、かつ、 $F = F' = F''$ であると仮定すると、式(4)を簡単にして、

$$V_{p,r}^{rms} = \left[V_{0,c,r}^2 + \frac{2 \cdot F'' \cdot V_{0,c,r}}{N} \cdot \sum (V_{col_{c,n+1}} + V_{col_{c+1,n+1}}) \right]^{0.5} \quad (7)$$

にすることができる。この簡単化された式に基づく訂正は完全でないが、それにもかかわらず、クロストークのレベルの影響を有効に減少させる。式(7)に基づく訂正を、図6に図示したようなLUTを用いて実行することができる。見てわかるように、LUT43'は、この場合少数のアドレスラインを必要とする。

図5及び6の装置に関して、必要とされる和、例えば、 $\Sigma V_{c,r}$ 及び $\Sigma V^2_{c,r}$ を連続的な和から得ることができる。このような誘導方法を、一般に、国際特許出願公開明細書96/16393号に記載されたようにすることができ、これには、より詳細な方法が記載されており、適切な場合には回路を好適に変更してこの方法を実行することができる。簡単な説明を、図7を用いて1列に対する $\Sigma V_{c,r}$ の誘導に関して与える。隣接する列に対する $\Sigma V_{c,r}$ の誘導を、同様にして行うことができる。図7は、LUT43及び訂正加算器42を有するデータ信号調整回路の一部を示す線形図である。連続的な和を用いて、各列に対する $\Sigma V_{c,r}$ 値を記憶する。ラインメモリ51は、各列に対する連続的な和を有する。同様に、連続的な和を用いて、他に要求される和を記憶する。これら連続的な和を、次のようにして維持する。デジタル形態の入力ビデオデータ信号をフィールド遅延線50に供給する。これは、古い記憶が消去されると表示素子の新たな行の値が入力するので、有効な循環フィールド記憶装置となる。列cの表示素子に対するデータ信号がフィールド遅延線に入力する度に、この表示素子に対する列電圧デ

ータが列 c 和に加算される。列 c 表示素子に対するデータ信号がフィールド遅延線から現れる度に、この表示素子に対する列電圧データは、列 c 和から取り出される。個別の和は、表示アレイの全ての列（1～ m ）に対して維持される。このようにして、所定の表示素子に対するビデオデータがフィールド遅延線から現れるまで、次のフィールド周期に対する $\Sigma V_{c,0,1}$ は、この表示素子に対するクロストーク訂正の計算に用いるために準備される。和 $\Sigma V_{c,0,1}^2$ 及び和 $\Sigma V_{c,0,1}(c,r) \cdot V_{c,0,1}(c+1,r)$ は、ラインメモリに供給される前に LUT を用いてデータ信号の平方値及び乗算値をそれぞれ発生させる点を除いて、同様に処理される。訂正されたデータ信号は、D-A コンバータを通じて列駆動回路 21 に供給され、

この場合、これら信号は、サンプルされて並列変換を順次行い、適切な列導体 16 に供給されて画像素子を駆動する。

上記技術は、完全な解像度のフィールド遅延線を必要とする。しかしながら、既に説明した力学的な訂正形態より簡単であり、かつ、フィールド遅延線を必要としない相違するアプローチを用いることができる。表示画像が静止している場合、1 フィールド周期前の列電圧は、フィールド又はライン反転駆動が行われると仮定すると現在の電流列電圧と符号が逆になる。したがって、列電圧が 1 フィールド周期全体に亘って零から加算される場合、この列の各表示素子に対するデータ信号が現在の $V_{c,0,1}$ を用いることによって将来の $V_{c,0,1}$ を予測するようになるので、 $\Sigma V_{c,0,1}$ を更新することができる。したがって、連続的な $\Sigma V_{c,0,1}$ 予測を、フィールド遅延線を要求することなく行うことができる。当然、画像が変化すると、この予測は不正確になる。連続的な和、したがってクロストーク訂正も不正確になる。画像間の突然の変化は、2 フィールド上の訂正が誤りであるがそれが非常に顕著である可能性が低いことを意味する。誤った訂正は、2 フィールド周期中にのみ存在する（60 Hz 表示に対して約 33 ms）。連続的な変化を意味する連続的な動作を表現する際に、複雑な事態が生じる。これらの状況下で、「誤った」訂正は、それが連続的に存在するので表示画像中に見えるようになるおそれがある。このようなおそれを回避するために、特定の列に対する訂正を、各フィールド周期の終了時のデータ信号値に依存してターンオフする。顕著に変化

しない列は、次のフィールド中に訂正を行うことができ、それに対して顕著に変化した列を訂正から除外することができる。この種の技術も、更に詳細に説明するためにここに開示した国際特許出願公開明細書第 9 6 / 1 6 3 9 3 号に記載されている。

既に説明したように、上記クロストーク訂正形態は多数の顕著な利点を有することがわかる。例えば、行オン行オフパターンからのクロストークを、除去し又は少なくとも著しく減少させる。全ビデオライン時間は、表示素子アドレス指定及び充電の際に利用できる状態である。さらに、この形態は、列駆動回路のデータ速度を増大させる必要がなく、すなわち、行又は列ドライバ I C を形成するように変化させる。

本発明は、大きな結合係数を有する表示装置、特に小型で高解像度の T F T 表示装置に対して特に重要である。大きな容量性結合係数を有するプラズマアドレス指定液晶表示装置（P A L C 装置）のような他の種類の能動マトリックス表示装置に対しても同様に好適に使用することができる。例えば、ここに参照することによって開示した欧州特許出願公開明細書第 0 6 2 8 9 4 4 号に記載した P A L C では、T F T 表示装置に存在する個々の T F T の行を、行の長さ方向に延在するイオン化ガスを充填したプラズマチャネルに置換する。プラズマチャネルは、マイクロシートと称する肉薄のガラスシートによって L C 層から分離される。行を、行のチャネルにプラズマを衝突させることによってアドレス指定することができる。このために、列ラインを通じて供給される電圧をサンプルするとともに、行の表示素子に保持することができる。

典型的な P A L C 表示装置の一部の部分的な線形断面図を図 8 に示す。下側ガラス基板 6 0 に、行方向に延在するとともに電極 6 5 が延在する方向に沿った複数の並列なガス充填チャネル 6 2 を設ける。これらチャネルは、絶縁材料のマイクロシート 6 4 によって被覆される。透明導電材料の平行ストリップ 6 7 のセットを支持するとともに列ライン 1 6 を構成する第 2 ガラス基板 6 6 を、マイクロシート 6 4 から離間し、これらの間に介在するスペースに、L C 材料の層 6 8 を充填する。ストリップ 6 7 が交差する領域に、チャネル 6 2 の各画像素子を規定

する。

訂正を計算するために用いられる式がある程度相違しても、上記クロストーク形態を、このような装置に容易に適用することができる。

ホールド状態（すなわち、プラズマオフ）の際の三つの垂直方向に隣接する P A L C 画像素子 1 2 の等価回路を図 9 に示す。この図において、L C、M S 及び P C は、L C 層 6 8 の厚さ、マイクロシート 6 4 及びプラズマチャネルをそれぞれ示し、V E は仮想電極を示す。C_{Lc} を単一 L C 表示素子 3 0 のキャパシタンスとし、C_m を、マイクロシートキャパシタンスとし、C_{sv} を、マイクロシートの背面からアノード電極及びカソード電極までのプラズマチャネルのオフ状態キャパシタンスとする。V_{h.c} を、アノード電極及びカソード電極 6 5 をホールド周期中に保持する電圧とする。C_{ss} を、マイクロシートの背面上の垂直方向に隣接

する仮想電極間の側面間キャパシタンスとする。C_d を、L C 層及びマイクロシートを通じて対角線方向に対向する電極間のキャパシタンスとする。

マイクロシートは、L C キャパシタンス C_{Lc} に直列な小キャパシタンス C_m として現れる。したがって、列ライン 1 6 に供給される任意の電圧は、C_m と C_{Lc} との間で分割される。正味の影響は、C_{Lc} の両端間に現れる有効な電圧が供給される列電圧の数分の 1 ($1/\alpha$) のみであることである。これは、最高最低列電圧範囲 V_{c.o.l.p.p} を α 倍増大させて L C 表示素子 C_{Lc} の要求される電圧範囲を達成する必要があることを意味する。したがって、第 1 に、要求される V_{c.o.l.p.p} を減少させ、第 2 に、全画像素子キャパシタンス C_p を増大させることによって不所望な容量性結合係数を減少させるので、大きな C_m（肉薄のマイクロシート）が好適である。しかしながら、増大した V_{c.o.l.p.p} は、不所望な容量性結合が原因の C_{Lc} の誤差電圧に直接悪影響を及ぼさない。その理由は、結合された電圧も α によって減少させられるからである。

所定の表示サイズ及び解像度に対して、不所望な容量性結合は、T F T 表示装置に対する場合に比べて P A L C 表示装置に対して顕著な影響を及ぼす。これには複数の理由がある。マイクロシートキャパシタンスによって全体に亘る表示素子キャパシタンスが減少し、これによって、列結合係数を増大させるとともに

クロストークを悪化させる。側面間結合キャパシタンスは、PALC表示装置構造においてより顕著になる。TFT表示装置において、ホールド状態の表示素子は、列 c 及び $c+1$ の電圧のみによって影響が及ぼされる。PALC表示装置において、ホールド状態の列 c 表示素子は、列 $c-1$ 、 c 及び $c+1$ の電圧によって影響が及ぼされる。所定の状況において、これら三つの列から結合された電圧を加算して、より大きな誤差電流を発生させるおそれがある。PALC表示装置における不所望な容量性結合によって生じた主に2種類のクロストークの影響がある。第1のものは、時々データ拡散と称される列キックバックとして既知である。この影響によって、表示コントラストが減少し、この影響は、関連の列ライン及び表示素子を選択した直後に生じる二つの隣接する列ラインの電圧の遷移の列の所定に表示素子への容量性結合によって生じる。この特殊なクロストークの影響を、互いに隣接する列ラインに供給されるデータ信号間の差の大きさを適切

に強調することによってある程度克服することができる。ここでは、垂直クロストークに関連する第2の種類のクロストークの影響は、時々「前後クロストーク」として既知である。これは、拡張した色のブロック及び所定の交互のドットパターンが上下に見えるシェーディングの影響を発生させる。この影響は、列 c の選択されていない表示素子に対する列ライン $c-1$ 、 c 及び $c+1$ からの電圧の不所望な容量性結合によって生じる。この影響を、上記TFT表示装置の例と同様な形態を用いて訂正することができる。

1フィールド周期に亘って、列ライン $c-1$ 、 c 及び $c+1$ からの不所望な容量性結合の影響を考慮すると、以下の式を用いて、列 c の行 r の表示素子のLC表示素子キャパシタンス(C_{LC})のRMS電圧を計算することができる。

$$V_{LC(c,r)}^{rms} = \sqrt{\frac{1}{N} \left[V_{LC(c,r)}^2 + \sum_{row=r+1}^{r+N-1} \left(V_{0(c,r)} + \frac{F}{\alpha} V_{col(c,row)} - \frac{F'}{\alpha} (V_{col(c-1,row)} + V_{col(c+1,row)}) \right)^2 \right]} \quad (8)$$

この場合、

$$V_{LC(c,r)}^{rms}$$

を、表示素子(c, r)が再び選択される前のラインまで表示素子(c, r)が選択される際のライン周期からの1フィールド周期全体に亘るRMS表示素子(c, r)電圧とする(包含的)。

$V_{LC(c,r)}$ を、表示素子が選択される際にセットされる初期電圧とする。

$$V_o(c, r) = V_{LC(c, r)} - F V_{col(c, r)} + F' (V_{col(c-1, r)} + V_{col(c+1, r)})$$

これは、列キックバックが生じた後の表示素子の電圧を付与する。

$V_{col(c, r)}$ を、行rを選択した際に列ラインcに供給される列電圧とする。 $1/\alpha = C_n / (C_n + C_{LC})$ とする。これは、 C_{LC} と C_{LC} の両端間に現れる C_n との間の全電圧の数分の1である。

Fを、列ラインcと表示素子(c, r)との間の結合係数とし、F'を、列ラインc-1又はc+1と表示素子(c, r)との間の結合係数と間の結合係数とする。

N=ビデオフィールドの全ライン数であり、 $0 \leq r \leq N-1$ とする。フィールドブランキング周期中に供給される電圧はこの計算に含まれる。

式(8)を拡張して、

$$\begin{aligned} V_{LC,c}^{rms} \cong & (V_o^2 + \frac{2F}{Na} V_o \sum V_{col(r, r+1)} - \frac{2F'}{Na} V_o \sum V_{col(r-1, r+1)} - \frac{2F'}{Na} V_o \sum V_{col(r+1, r+1)} \\ & + \frac{F^2}{Na^2} \sum V_{col(r, r+1)}^2 + \frac{F'^2}{Na^2} \sum V_{col(r-1, r+1)}^2 + \frac{F'^2}{Na^2} \sum V_{col(r+1, r+1)}^2 \\ & - \frac{2FF'}{Na^2} \sum V_{col(r, r+1)} V_{col(r-1, r+1)} - \frac{2FF'}{Na^2} \sum V_{col(r, r+1)} V_{col(r+1, r+1)} \\ & + \frac{2F'^2}{Na^2} \sum V_{col(r-1, r+1)} V_{col(r+1, r+1)})^{0.5} \end{aligned} \quad (9)$$

を与えることができる。この場合、全ての和を、行=r+1から行=r+N-1とする。垂直クロストークが原因の誤差電圧は、誤差=式(9)によって付与される。この誤差を、誤差と大きさが同一で符号が逆の訂正を(列キックバックの影響に対する任意の調整後)表示素子電圧 V_o に加えてことによって除去することができる。この訂正を、図5に図示したTFT表示素子に対する配置と比較すると、図10に示したルックアップテーブルを用いて計算することができる。既

に説明したように、デジタル形態の入力ビデオデータVDA Tを、ルックアップテーブルからのクロストーク訂正值とともに訂正加算器42に供給して、訂正された出力ビデオデータVDA T'を得る。

各変数を表すために用いられるビット数を、ルックアップテーブルのサイズを減少させるために最小にする必要がある。訂正ハードウェアを簡単にすることができる他の方法は次の通りである。

「行」の全ての値に対して $V_{col(c-1,row)} = V_{col(c1,row)} = V_{col(c+1,row)}$ である場合、隣接列ライン上の信号は同相であり、式(8)を、

$$V_{LC,r}^{rms} \cong \sqrt{V_0^2 + \frac{2F'}{Na} V_0 \sum V_{col,r,r-1} + \frac{F'^2}{Na^2} \sum V_{col,r,r-1}^2} \quad (10)$$

と書くことができる。この場合、 $F'' = F - 2F'$ である。これらの状況下で、垂直クロストークが原因の誤差電圧は最小になる。

同様に、「行」の全ての値に対して $-V_{col(c-1,row)} = V_{col(c1,row)} = -V_{col(c+1,row)}$ である場合、隣接する列ライン上の信号は同相でなく、式(8)を式(10)のように書くことができるが、 $F'' = F + 2F'$ である。この場合、垂直クロストークが原因の誤差電圧は最大になる。

任意の所定の画像に対して、式(10)を用いて正確な $V_{LC,rms}$ を計算することができる F'' の値が存在する。この F'' の値は、 $F'' = F - 2F'$ と $F'' = F + 2F'$ の二つの境界間のいずれかにある。所定のフィールドの位置(c, r)の表示素子に対する理想的な F'' 値の良好な近似を、来るべきフィールド周期全体(又は静止垂直クロストーク訂正形態の場合の先行するフィールド周期全体)に亘る隣接列に供給される列電圧の和を比較することによって得ることができる。表示を単一行反転モードで駆動すると仮定すると、以下の式を適用する。

$$\begin{aligned}
\sum_{row=r+1}^{r+N-1} V_{coco_{r,r}} = & \left| \sum_{\text{odd rows}} V_{col_{r-1}, row} - \sum_{\text{odd rows}} V_{col_{r}, row} \right| \\
& + \left| \sum_{\text{even rows}} V_{col_{r-1}, row} - \sum_{\text{even rows}} V_{col_{r}, row} \right| \\
& + \left| \sum_{\text{odd rows}} V_{col_{r+1}, row} - \sum_{\text{odd rows}} V_{col_{r+2}, row} \right| \\
& + \left| \sum_{\text{even rows}} V_{col_{r+1}, row} - \sum_{\text{even rows}} V_{col_{r+2}, row} \right|
\end{aligned} \quad (11)$$

この場合、 ΣV_{coco} を、表示素子(c, r)が選択される際の列cに対する「列オン列オフ」すなわち“COCO”形態とする。 $\Sigma V_{coco} = 0$ のとき、隣接する列の信号が同相であり、 $F'' = F - 2F'$ であると仮定することができる。 ΣV_{coco} が最大値であるとき、隣接する列の信号が同相でなく、 $F'' = F + 2F'$ である。 ΣV_{coco} がある中間値を有する際に用いる線形補間を用いて F'' の最適値を決定する。

したがって、式(10)及び(11)を用いて、図11に示すような著しく小さいルックアップテーブルでRMSを計算する。 ΣV_{coco} 、 ΣV_{coco} 及び ΣV^2_{coco} を、国際特許出願公開明細書の96/16393号に記載したように連続的な和から得ることができる。

TFTを用いる表示装置及びPALC表示装置とともに、本発明を、2端子の非線形切換装置を用いるマトリクス表示装置にも適用することができる。これら表示装置において、薄膜ダイオード装置TFDのような切換装置、例えば、M

IMを、行アドレス導体と列アドレス導体との間の表示素子に直列接続し、行アドレス導体及び列アドレス導体のセットを、離間された基板上にそれぞれ支持し、これら基板間にLC材料を配置する。ある形態において、行アドレス導体を、一方の基板上に支持されたストリップ電極のセットとして設けるとともに、列導体のセットを、表示素子電極の行列アレイ及びTFDとともに他方の基板上に支持し、この際、TFDを表示素子電極と関連の列導体との間に接続し、列導体は、表示素子電極の隣接する列間のギャップに垂直に延在する。その結果、容量性結合が、表示素子電極と表示素子に誤差電極を発生させる表示素子の隣接する列に関連する列アドレス導体との間に存在する。他の形態において、表示素子電極

を、行導体のセット及びTFDと同一基板上に支持し、この際、各表示素子電極を、TFDを通じて関連の行導体に接続し、行導体は、表示素子電極の隣接する行間のギャップ中に水平に延在する。列導体のセットを、他方の基板上に支持するとともにストリップ電極のセットとして設け、ストリップ電極の各々は、表示素子電極の各列を被覆する。この場合、誤差信号を、表示素子電極及び隣接する列の表示素子電極によって形成された中間キャパシタンスを通じて表示素子に関連して隣接する列導体からの表示素子電極に間接的に結合することができる。

両形態において、上記データ信号調整回路を用いて、このような結合が原因の不所望なクロストークの影響をある程度減少させることができる。

上記実施の形態において、各画像素子に対する行われる調整は、関連の列の他の全ての画像素子に対するデータ信号レベルに基づくものである。両実施の形態及びその動作方法の性質によって、これを理想的に直接行うことができる。しかしながら、例えば、他の種類の調整回路を用いると、画像素子に対するデータ信号電圧の調整を、画像素子のアドレス指定及びその次のアドレス指定に続く周期中に列導体に供給しようとする全てのデータ信号より少ないデータ信号を用いて行うことができる。他の画像素子の割合に対してデータ信号を用いることによって、クロストークの減少は少なくなるが、所定の状況では許容することができ、かつ、十分な結果を与える。

調整してデータ信号を取り出すに当たり、国際特許出願公開明細書第96／16393号に記載されているように、データ信号を調整するのに用いられる回路

40の訂正值を発生させる際に、例えば、固有の動作又は感光特性、すなわち、キックバックの影響が原因のTF T又はTFDの漏れ電流の影響を考慮することができる。

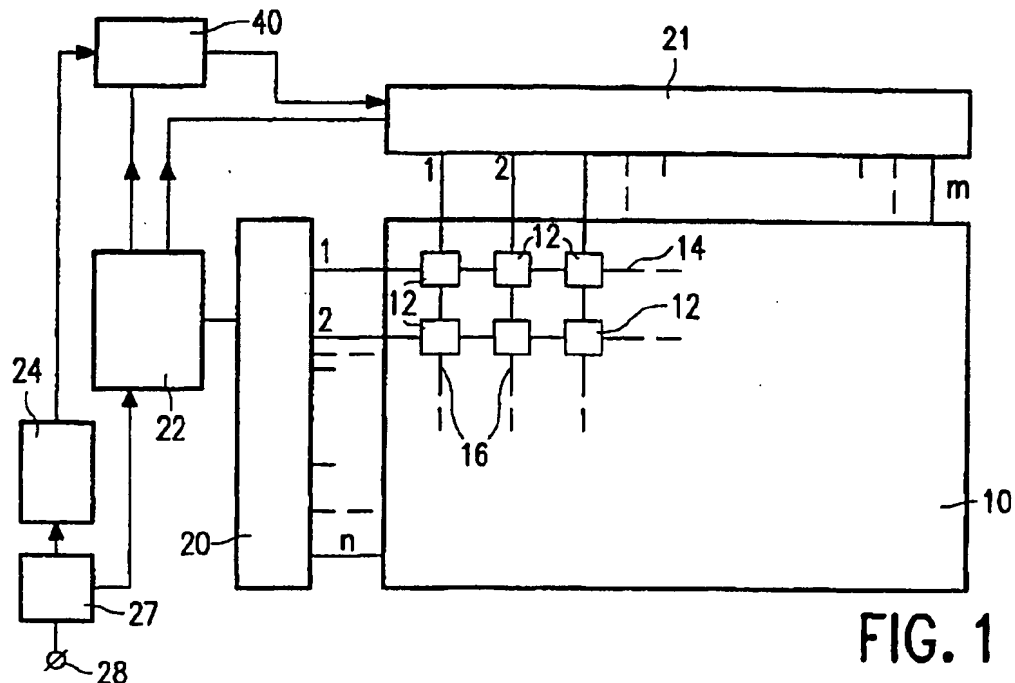
表示素子に関連する列導体及び表示素子の一つ又は両隣の列に関連する一つ以上の隣接する列導体のデータ信号の影響が最も重要である間、直接又は間接の別の結合が存在して、離間した列導体、すなわち、関連の表示素子に直接隣接しない列導体のデータ信号が原因の不所望なクロストークの影響が生じる。これら別の結合の影響がさほど重要でないように思われる間、所望の場合には回路40の

調整されたデータ信号の誘導を考慮することができる。

したがって、要約すれば、関連の切換手段を持つＬＣ表示素子のアレイを有する能動マトリックス表示装置を開示し、その切換手段は、行アドレスライン及び列アドレスラインのセットを通じて行方向に順次アドレス指定し、この能動マトリックス表示装置は、駆動回路中にデータ信号調整回路を有し、このデータ信号調整回路は、列ラインに供給する前にデータ信号を調整して、画像素子アレイの漂遊容量性結合が原因のクロストーク垂直及び水平方向の不所望な影響を補償する。画像素子データ信号に対する訂正值は、同一列及び一つ又は両方の隣接列の他の画像素子に対する次のフィールド周期全体に亘って意図したデータ信号の値及び関連の容量性結合係数に従って、調整回路中で得られる。

本開示を読むと、他の変形は当業者には明らかである。このような変形は、液晶表示装置の分野で既に既知であるとともに既にここに開示した形態の代わりに又はその形態に加えて用いることができる他の形態を意味する。

【圖 1】



【图 2】

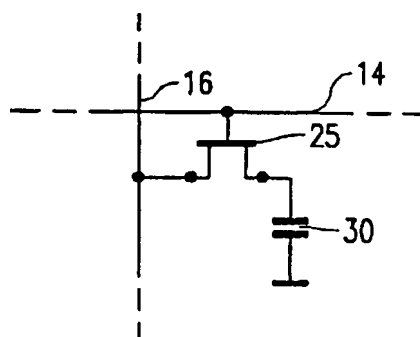


FIG. 2

【图 3】

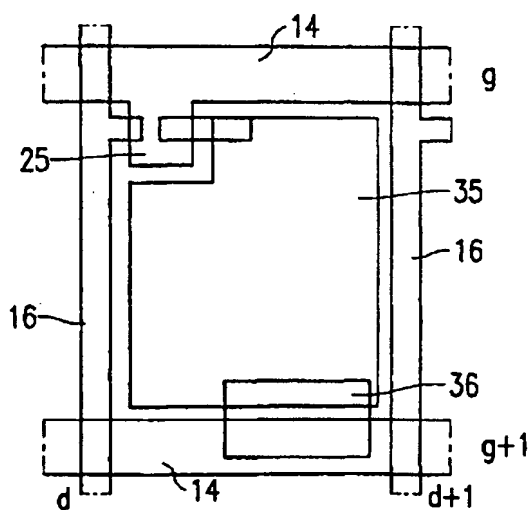


FIG. 3

【图 4】

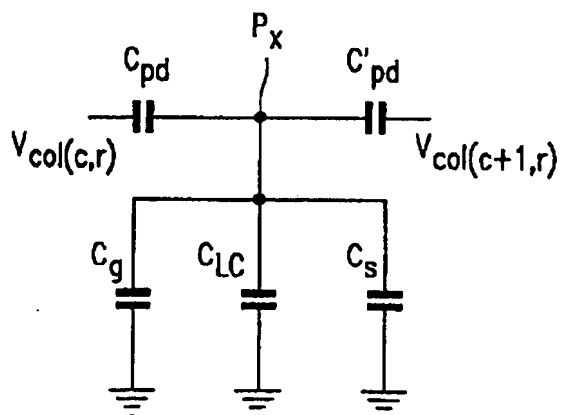


FIG. 4

【图 5】

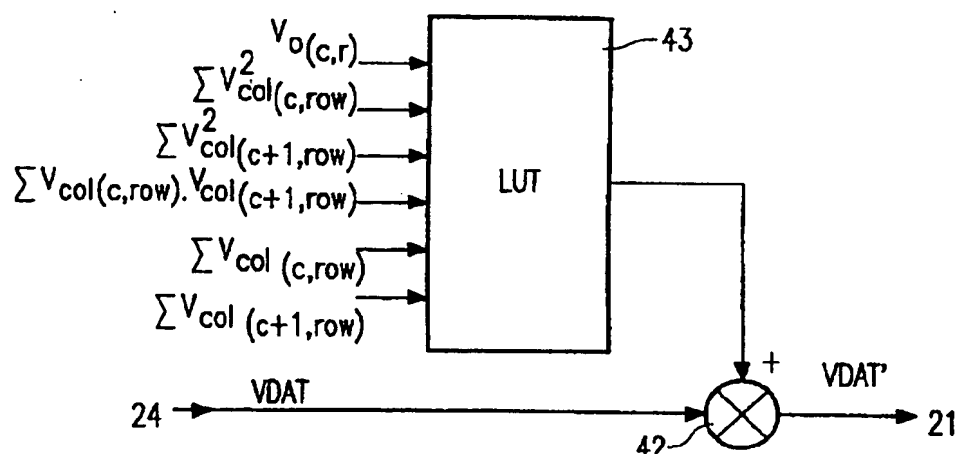


FIG. 5

【图 6】

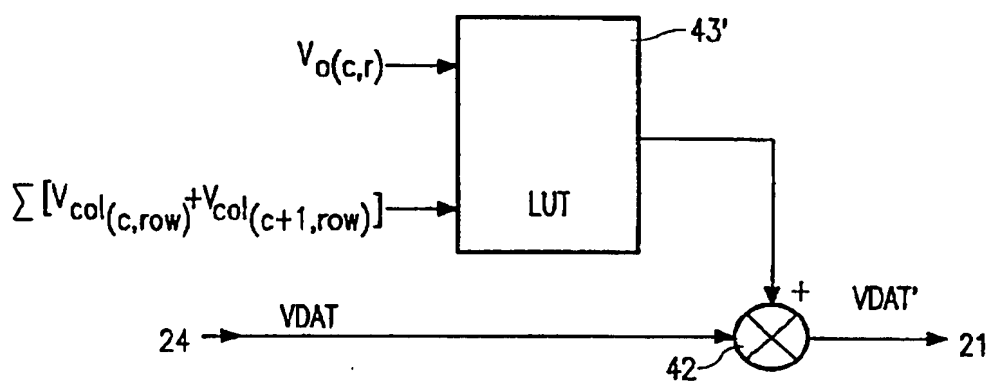


FIG. 6

【图 7】

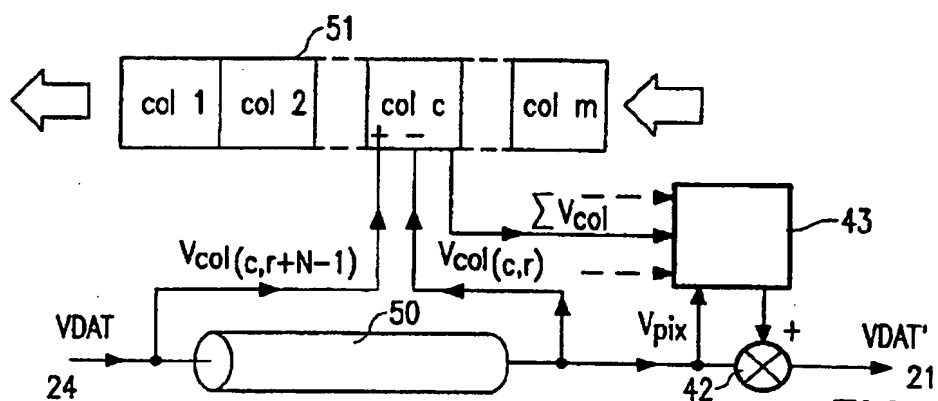


FIG. 7

【図 1 0】

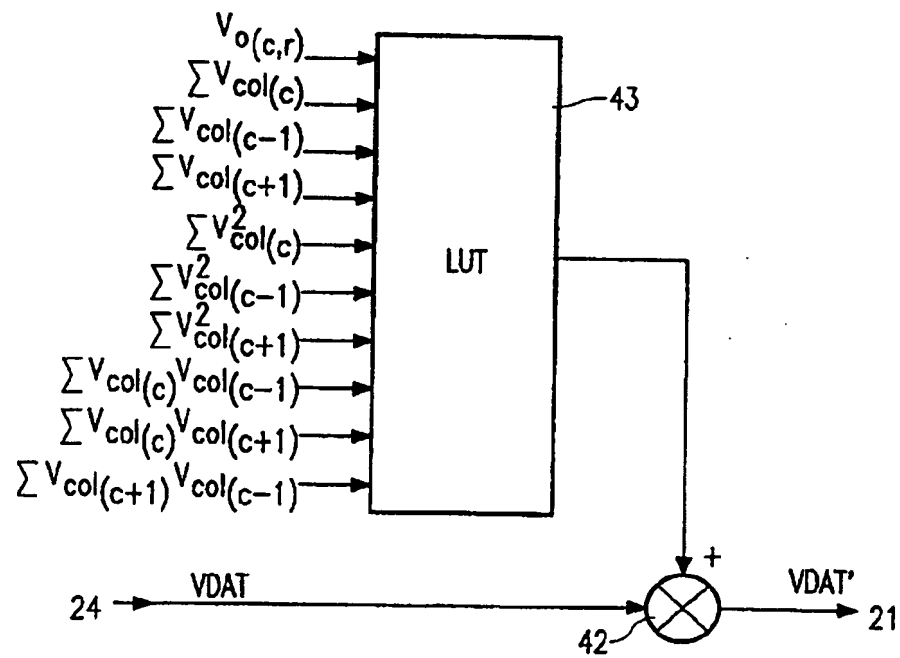


FIG. 10

【図 1 1】

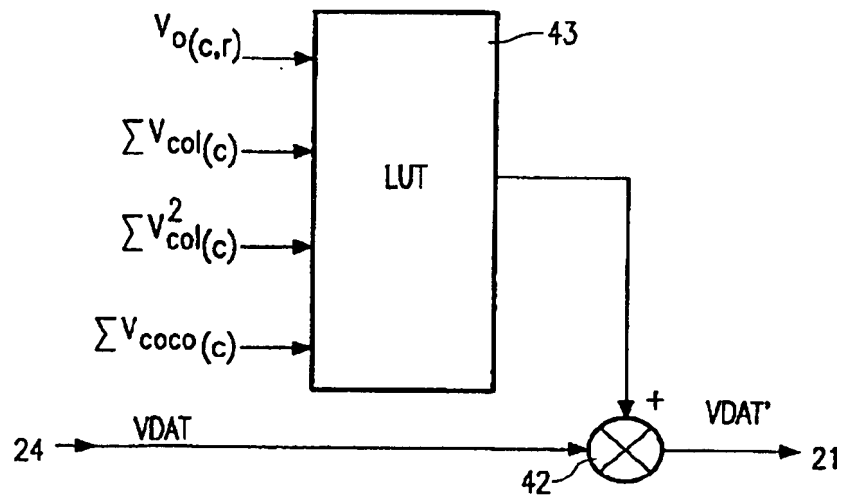


FIG. 11

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB 97/00511

A. CLASSIFICATION OF SUBJECT MATTER

IPC6: G09G 3/36

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC6: G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

SE,DK,FI,NO classes as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EDOC

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A,P	WO 9616393 A1 (PHILIPS ELECTRONICS N.V.), 30 May 1996 (30.05.96), claims 1-11, cited in the application	1-8
	--	
A	EP 0622772 A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION), 2 November 1994 (02.11.94), abstract	1-8
	--	

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance: the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance: the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"Z" document member of the same patent family

Date of the actual completion of the international search

21 November 1997

Date of mailing of the international search report

25 - 11 - 1997

Name and mailing address of the ISA/

Swedish Patent Office
Box 5055, S-102 42 STOCKHOLM
Facsimile No. +46 8 666 02 85

Authorized officer

Jan Silfverling
Telephone No. +46 8 782 25 00

INTERNATIONAL SEARCH REPORT
Information on patent family members

01/10/97

International application No.

PCT/IB 97/00511

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
WO 9616393 A1	30/05/96	EP 0741898 A	13/11/96
		GB 9423705 D	00/00/00
		GB 9507414 D	00/00/00
EP 0622772 A1	02/11/94	JP 7005852 A	10/01/95

フロントページの続き

(81) 指定国 EP (AT, BE, CH, DE,
DK, ES, FI, FR, GB, GR, IE, IT, L
U, MC, NL, PT, SE), JP, KR